

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-062628

(43)Date of publication of application : 08.03.1996

(51)Int.Cl.

G02F 1/136
H01L 29/786

(21)Application number : 06-192640

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.08.1994

(72)Inventor : MIZOUCHI KIYOTSUGU
HIRAYAMA HIDEO

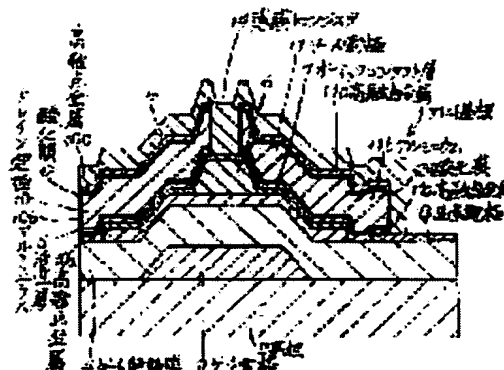
(54) LIQUID CRYSTAL DISPLAY ELEMENT AND ITS PRODUCTION

(57)Abstract:

PURPOSE: To provide a liquid crystal display element with improved productivity without generating disconnection and defects of thinfilm transistors.

CONSTITUTION: Gate electrodes 3 and gate insulating films 4 are formed on a glass substrate 2. Semiconductor layers 5, etching stopper layers 6 and ohmic contact layers 7 are laminated and formed on the gate insulating films 4.

Transparent pixel electrodes 8 consisting of ITO are formed on the gate insulating films 4. Drain electrodes 10 are formed on one end side of the ohmic contact layers 7 and source electrodes 11 connected to the transparent pixel electrodes 8 are formed on the other end side. These drain electrodes 10 and source electrodes 11 are formed of three-layered structures composed of molybdenum 10a, 11a, aluminum 10b, 11b and molybdenum 10c, 11c. Oxidized films 12, 13 are formed around the aluminum 10b, 11b. The resist is peeled after these oxidized films 12, 13 are formed and, therefore, the electrolytic corrosion by a highly alkaline resist peeling liquid does not arise and the generation of the disconnection is lessened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 6 2 6 2 8

(43) 公開日 平成 8 年 (1996) 3 月 8 日

| | | | | |
|----------------------------|------|---------|------------|--------|
| (51) Int. Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| G02F 1/136 | 500 | | | |
| H01L 29/786 | | 9056-4M | H01L 29/78 | 616 U |

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平 6 - 1 9 2 6 4 0
(22) 出願日 平成 6 年 (1994) 8 月 1 6 日

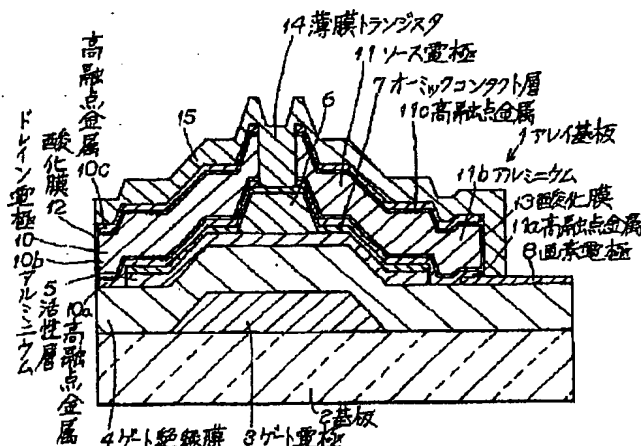
(71) 出願人 0 0 0 0 0 3 0 7 8
株式会社東芝
神奈川県川崎市幸区堀川町 7 2 番地
(72) 発明者 溝内 清継
神奈川県横浜市磯子区新杉田町 8 株式会社
東芝横浜事業所内
(72) 発明者 平山 秀雄
神奈川県横浜市磯子区新杉田町 8 株式会
社東芝横浜事業所内
(74) 代理人 弁理士 樺澤 襄 (外 2 名)

(54) 【発明の名称】 液晶表示素子およびその製造方法

(57) 【要約】

【目的】 断線および薄膜トランジスタの不良を起こさず生産性が向上した液晶表示素子を提供する。

【構成】 ガラス基板 2 上に、ゲート電極 3、ゲート絶縁膜 4 を形成する。ゲート絶縁膜 4 上には、半導体層 5、エッチングストップ層 6、オーミックコンタクト層 7 を積層形成する。ゲート絶縁膜 4 上には、ITO の透明画素電極 8 を形成する。オーミックコンタクト層 7 の一端側にはドレイン電極 10 を形成し、他端側には透明画素電極 8 に接続したソース電極 11 を形成する。これらドレイン電極 10 およびソース電極 11 は、モリブデン 10a、11a、アルミニウム 10b、11b およびモリブデン 10c、11c の 3 層構造にて形成し、アルミニウム 10b、11b の周囲に、酸化膜 12、13 を形成する。酸化膜 12、13 を形成した後、レジスト剥離するので、強アルカリのレジスト剥離液で電蝕されることなく、断線の発生が減少する。



【特許請求の範囲】

【請求項1】 基板上に走査電極線および信号電極線をマトリクス状に形成し、これら走査電極線および信号電極線の交点にゲート電極、ゲート絶縁膜、活性層、オーミックコンタクト層、ソース電極およびドレイン電極を有する薄膜トランジスタと、画素電極とを配設したアレ

レイ基板と、基板上に対向電極を形成し前記アレイ基板に
対向した対向基板と、前記アレイ基板および前記対向基
板の間に液晶を備え、前記ソース電極および信号電極線
とドレイン電極とは、高融点金属、アルミニウムおよび
高融点金属で形成された液晶表示素子において、
前記ソース電極および信号電極線とドレイン電極とのアル
ミニウムの各界面および側面が酸化膜で絶縁されたこと
を特徴とする液晶表示素子。

【請求項2】 基板上に走査電極線および信号電極線をマトリクス状に形成し、これら走査電極線および信号電極線の交点にゲート電極、ゲート絶縁膜、活性層、オーミックコンタクト層、ソース電極およびドレイン電極を有する薄膜トランジスタと、画素電極とを配設したアレ

レイ基板と、基板上に対向電極を形成し前記アレイ基板に
対向した対向基板と、前記アレイ基板および前記対向基
板の間に液晶を備え、前記ソース電極および信号電極線
とドレイン電極とは、高融点金属、アルミニウムおよび
高融点金属で形成された液晶表示素子の製造方法におい
て、
前記ソース電極および信号電極線とドレイン電極の下層
の高融点金属の表面に酸化膜を形成し、
この酸化膜上に前記ソース電極および信号電極線とドレ
イン電極とのアルミニウムの膜を形成し、
これらソース電極および信号電極線とドレイン電極との
アルミニウムの表面および側面に酸化膜を形成すること
を特徴とする液晶表示素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、歩留まりを向上した液晶表示素子およびその製造方法に関する。

【0002】

【従来の技術】従来、この種のたとえばアクティブマトリクス型の液晶表示素子の製造方法としては、たとえば以下の通りである。

【0003】すなわち、絶縁性基板であるガラス基板上にモリブデン・タantal (Mo・Ta) 合金の走査電極線となるアドレス配線およびゲート電極をスパッタ法などの成膜法により堆積させ、ドライエッチングなどの方法によりテーパ加工して形成する。

【0004】次に、これら絶縁基板、アドレス配線およびゲート電極上に、ゲート絶縁膜、活性層およびエッチングストップ層を順次成膜し、エッチングストップ層をウェットエッチングなどの方法により所定形状に形成した後、このエッチングストップ層上にオーミックコンタ

クト層を成膜し、活性層とオーミックコンタクト層を同時にドライエッチングなどの方法によりアイランド状に形成する。

【0005】その後、ITO (Indium Tin Oxide) などからなる画素電極をスパッタ法などの成膜法によりゲート絶縁膜上に堆積させ、ウェットエッチングなどの方法により所定形状に形成し、アドレス配線、ゲート電極配線の電極パッド上のゲート絶縁膜の除去を行なう。

【0006】次に、モリブデン (Mo) およびアルミニウム (Al) などからなるソース電極および信号電極配線となるデータ配線とドレイン電極をスパッタ法などの方法により堆積させ、ウェットエッチングなどの方法により、同時に形成する。この状態では、ソース電極とドレイン電極はオーミックコンタクト層を介して短絡しているため、エッチングストップ層上のオーミックコンタクト層をソース電極とドレイン電極とをマスクとしてプラズマエッチング法などの方法により除去し、アクティブマトリクス液晶表示装置用のアレイ基板を形成する。

【0007】そして、このアレイ基板を図示しない対向電極に対向させ、アレイ基板および対向基板間に液晶を挟持させて、液晶表示装置を形成する。

【0008】

【発明が解決しようとする課題】しかしながら、この種のアクティブマトリクス型の液晶表示素子の製造方法において、レジスト剥離プロセスの液温は高温であることから、液の蒸発および反応の消費による液組成の変化などで、工程管理維持に問題がある。

【0009】そこで、従来のレジスト剥離液を純粋希釈することにより電離したエッチングイオンでレジストとの中和反応を促進させ、常温で十分な剥離能力が得られることが確認でき、その希釈した剥離液を用いたプロセスで解決を試みているが、剥離液の主要成分が加水分解により水酸基イオン (OH^-) が生じて強アルカリの電解質溶液となるので、ソース電極およびデータ配線およびドレイン電極との主要金属であるアルミニウムなどの腐食が生じる。

【0010】また、アルミニウムの単層膜の局部電池腐食のみならず、高融点金属/アルミニウム/高融点金属という積層した異種材料との組み合わせによる局部電池腐食が加速し、データ配線の断線を招く原因となる。

【0011】さらに、薄膜トランジスタの経時変化を抑えるためのパッシベーション膜がソース電極およびドレイン電極の部分のカバレッジが不十分であることによる薄膜トランジスタの不良の問題を有している。

【0012】本発明は、上記問題点を鑑みなされたもので、断線および薄膜トランジスタの不良を起こさず生産性が向上した液晶表示素子およびその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】請求項1記載の液晶表示

素子は、基板上に走査電極線および信号電極線をマトリクス状に形成し、これら走査電極線および信号電極線の交点にゲート電極、ゲート絶縁膜、活性層、オーミックコンタクト層、ソース電極およびドレイン電極を有する薄膜トランジスタと、画素電極とを配設したアレイ基板と、基板上に対向電極を形成し前記アレイ基板に対向した対向基板と、前記アレイ基板および前記対向基板の間に液晶を備え、前記ソース電極および信号電極線とドレイン電極とは、高融点金属、アルミニウムおよび高融点金属で形成された液晶表示素子において、前記ソース電極および信号電極線とドレイン電極とのアルミニウムの各界面および側面が酸化膜で絶縁されたものである。

【0014】請求項2記載の液晶表示素子の製造方法は、基板上に走査電極線および信号電極線をマトリクス状に形成し、これら走査電極線および信号電極線の交点にゲート電極、ゲート絶縁膜、活性層、オーミックコンタクト層、ソース電極およびドレイン電極を有する薄膜トランジスタと、画素電極とを配設したアレイ基板と、基板上に対向電極を形成し前記アレイ基板に対向した対向基板と、前記アレイ基板および前記対向基板の間に液晶を備え、前記ソース電極および信号電極線とドレイン電極とは、高融点金属、アルミニウムおよび高融点金属で形成された液晶表示素子の製造方法において、前記ソース電極および信号電極線とドレイン電極の下層の高融点金属の表面に酸化膜を形成し、この酸化膜上に前記ソース電極および信号電極線とドレイン電極とのアルミニウムの膜を形成し、これらソース電極および信号電極線とドレイン電極とのアルミニウムの表面および側面に酸化膜を形成するものである。

【0015】

【作用】請求項1記載の液晶表示素子は、薄膜トランジスタのソース電極および信号電極線とドレイン電極とのアルミニウムの各界面および側面を酸化膜で絶縁することにより、ソース電極およびデータ線とドレイン電極とは高融点金属とアルミニウムとのように異種材料との組み合わせによる局部電池腐食を抑制できるため、たとえばレジスト剥離工程で生じる局部電池腐食の原因となる異種材料間電子移動がなく、界面および側面の腐食が抑制され、常温で管理の行ない易い剥離液を使用することができ、かつ、信号線電極の断線をなくすことができ、薄膜トランジスタに不良が生じず歩留まりを高くできる。

【0016】請求項2記載の液晶表示素子の製造方法は、ソース電極および信号電極線とドレイン電極の下層の高融点金属の表面に酸化膜を形成し、この酸化膜上にソース電極および信号電極線とドレイン電極とのアルミニウムの膜を形成し、これらソース電極および信号電極線とドレイン電極とのアルミニウムの各界面および側面に酸化膜が形成されるため、たとえば高融点金属とアルミニウムとのように異種材料との組み合わせによる局部

電池腐食を抑制できるため、レジスト剥離工程で生じる局部電池腐食の原因となる異種材料間電子移動がなく、界面および側面の腐食が抑制され、常温で管理の行ない易い剥離液を使用することができ、かつ、信号線電極の断線をなくすことができ、薄膜トランジスタに不良が生じず歩留まりを高くできる。

【0017】

【実施例】以下、本発明の液晶表示素子の一実施例をアクティブマトリクス型の液晶表示素子を用いて図面を参照して説明する。

【0018】図1に示すように、透明絶縁性基板となる図示しない酸化シリコン (SiO_2) 膜付きの透明なガラス基板2上に、モリブデン・タンタル ($\text{Mo} \cdot \text{Ta}$) のゲート電極3が3000オングストロームの膜厚で形成され、これらガラス基板2およびゲート電極3上にはゲート絶縁膜4が3500オングストロームの膜厚で形成されている。

【0019】また、このゲート絶縁膜4上には、膜厚500オングストロームの水素化非晶質シリコン (a-Si:H) の活性層としての半導体層5、膜厚500オングストロームの窒化シリコン (SiN_x) のエッチングストップ層6、膜厚500オングストロームのn型水素化非晶質シリコン ($\text{n}^+ \text{a-Si:OH}$) のオーミックコンタクト層7が積層形成されている。

【0020】さらに、ゲート絶縁膜4上には、ITO (Indium Tin Oxide) の透明画素電極8が形成されている。

【0021】そして、オーミックコンタクト層7の一端側にはドレイン電極10が形成され、他端側には透明画素電極8に接続されたソース電極11が形成されている。また、これらドレイン電極10およびソース電極11は、高融点金属としてのモリブデン (Mo) 10a, 11a、アルミニウム (Al) 10b, 11b および高融点金属としてのモリブデン (Mo) 10c, 11c の3層構造にて形成され、アルミニウム10b, 11b の周囲には、酸化膜12, 13が形成されている。

【0022】また、これらにて薄膜トランジスタ14が形成され、この薄膜トランジスタ14の上部には保護膜15が形成されている。

【0023】そして、図5に示すように、ガラス基板2上には互いにはほぼ平行に等間隔のそれぞれ薄膜トランジスタ14のドレイン電極10に一体的に形成された複数本の信号電極線16と、これら信号電極線16に対して直交し、ゲート電極3に一体的に形成された走査電極線17が形成されている。ここで、信号電極線16と走査電極線17との交点には、薄膜トランジスタ14が配設されている。さらに、薄膜トランジスタ14のソース電極11には、透明画素電極8および図1には図示しない補助容量18が接続されている。

【0024】次に、図1ないし図4を参照して製造工程

について説明する。

【0025】まず、図2に示すように、プラズマCVD (Chemical Vapor Deposition) 法によりガラス基板2上に図示しない酸化シリコンの膜を形成し、スパッタ法によりモリブデン・タンタル合金膜を3000オングストローム堆積させる。続いて、フォトリソグラフィ技術を用いてゲート電極3のパターンを形成し、CDE (Chemical Dry Etching) で四ふっ化炭素 (CF_4) + 酸素 (O_2) の混合ガスで30°以下のテーパができるようにゲート電極3のエッチングを行なう。

【0026】次に、プラズマCVDにより、ゲート絶縁膜4を3500オングストローム堆積させ、シランガス (SiH_4)、水素ガス (H_2) 系のグロー放電により、水素化非晶質シリコンの半導体層5を500オングストロームの厚さに堆積し、シランガス、アンモニアガス (NH_3) および窒素ガス (N_2) 系のグロー放電により、窒化シリコンのエッチングストップ層6を3000オングストロームの厚さに形成し、フォトリソグラフィ技術を用いてゲート電極3の上方の位置に配設する。

【0027】続いて、シランガスと PH_3 を含む水素ガスのグロー放電により、n型水素化シリコンのオーミックコンタクト層7を500オングストロームの厚さに形成する。

【0028】次に、半導体層5とオーミックコンタクト層7とゲート絶縁膜4を同時に、アイランド状に形成した後、ITOの透明画素電極8を形成する。この透明画素電極8は図示しない補助容量の一方の電極の一部としても使用する。

【0029】続いて、ゲート配線である走査電極線17の電極パッド上のゲート絶縁膜4をHF系ウエットエッチング除去し、スパッタ法によりモリブデン21を堆積後、チャンバーを大気解放してこのモリブデン21の上部が界面となる表面に50オングストロームの厚の酸化膜22を形成する。

【0030】その後、図3に示すように、アルミニウム23を堆積させ、このアルミニウム23も同様に界面となる上面を含む表面を50オングストローム酸化させて酸化膜24を形成する。

【0031】最後に、図4に示すように、モリブデン10c, 11cを堆積させ、所定形状のレジスト25を形成して、所定のパターンニングを行ない、燐酸+硝酸+酢酸の混酸によりエッチング除去し、データ線である信号電極線16およびこの信号電極線16と一体のドレイン電極10と、透明画素電極8に接続するソース電極11とを形成する。

【0032】この後、図1に示すように、プラズマ酸化法によりソース電極11と、走査電極線17とドレイン電極10の側面を50オングストローム酸化させて酸化膜12, 13を形成し、ドレイン電極10とソース電極11の間のオーミックコンタクト層7をPE (Plasma Etching) により

除去し、この後、レジスト剥離する。

【0033】そして、薄膜トランジスタ14の経時変化を抑えるために、窒化シリコンからなる保護膜15で覆い、透明画素電極8および周辺の電極パッド部をエッチング除去を行ない、続いて、ガラス基板2の上面に、たとえばポリイミドからなる図示しない配向膜をスピンコート法により塗布し、100~180°Cの間の適当な温度で焼成をしてラビングを行ない、所望のアレイ基板1が得られる。

10 【0034】なお、この薄膜トランジスタ14を有するアレイ基板1から液晶表示装置を形成するには、薄膜トランジスタ14と対向するように図示しない遮光膜を形成する。

【0035】さらに、別個の図示しないガラス基板の全面にたとえばITOからなる対向電極とたとえばポリイミドからなる配向膜を順次形成し、同様にラビングを行ない、所望の対向基板を形成する。

20 【0036】次に、アレイ基板1と対向基板を、たとえば粒径約10ミクロンのアルミナからなるスペーサを介して、配向膜が対向した状態で平行かつ一体となるように、液晶注入口となる部分を除き、たとえばエポキシ系の接着でほぼ10ミクロン離して接着する。続いて、注入口より液晶を注入後に、エポキシ接着剤で注入口を封止する。こうして、アレイ基板1と対向基板との間に液晶を挟持した所望のアクティブマトリクス型の液晶表示素子を形成する。

【0037】上記実施例によれば、信号電極線16の積層膜間および側面に酸化膜12を形成した後、レジスト剥離を行なうので、信号電極線16のアルミニウム10bの側面が強いアルカリのレジスト剥離液で電蝕されることがなく、信号電極線16の断線の発生が減少する。このことを確認するため作製したアレイ基板1を切り出し、断面をSEM観察したところ、アルミニウム10bの選択的な腐食は認められず、また、上層のパッシベーション膜となる保護膜15のカバレッジも十分であった。

【0038】なお、電蝕はアルミニウムの酸化還元電位とモリブデンの酸化還元電位の差10Vを駆動力として進行し、この電蝕を十分に抑制して剥離による問題を回避するには腐食速度を数オングストローム/min程度に抑えればよい。また、この速度に対応する電流は1 $\mu\text{A}/\text{cm}^2$ であるので駆動電圧10V下での抵抗は10 Ω であることが必要条件である。また、酸化膜12, 13の膜厚としてはトンネル電流が原理的に流れない厚さ以上であることが必要で少なくとも30オングストローム以上の厚さに作成することが重要である。このような厚さの酸化膜12, 13はたとえばアルミニウムの陽極酸化法でも容易に作成することができ、あるいは各種CVD、PVD法によって緻密な膜を容易に作成できる。さらに、単に大気環境に曝しただけでも30オングストローム程度の厚さの酸化膜12, 13を容易に形成できる。

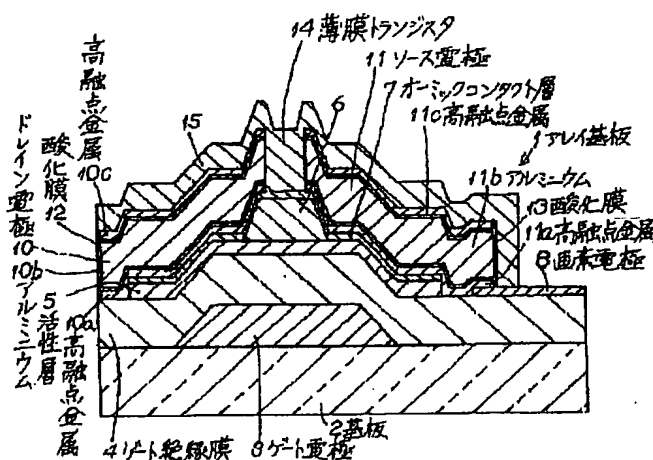
【0039】

【発明の効果】請求項1記載の液晶表示素子によれば、薄膜トランジスタのソース電極および信号電極線とドレイン電極とのアルミニウムの各界面および側面を酸化膜で絶縁することにより、ソース電極およびデータ線とドレイン電極とは高融点金属とアルミニウムとのように異種材料との組み合わせによる局部電池腐食を抑制できるため、たとえばレジスト剥離工程で生じる局部電池腐食の原因となる異種材料間電子移動がなく、界面および側面の腐食が抑制され、常温で管理の行ない易い剥離液を使用することができ、かつ、信号線電極の断線をなくすることができ、薄膜トランジスタに不良が生じず歩留まりを高くできる。

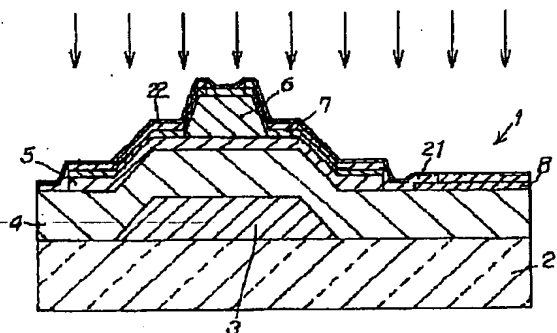
【0040】請求項2記載の液晶表示素子の製造方法によれば、ソース電極および信号電極線とドレイン電極の下層の高融点金属の表面に酸化膜を形成し、この酸化膜上にソース電極および信号電極線とドレイン電極とのアルミニウムの膜を形成し、これらソース電極および信号電極線とドレイン電極とのアルミニウムの各界面および側面に酸化膜が形成されるため、たとえば高融点金属とアルミニウムとのように異種材料との組み合わせによる局部電池腐食を抑制できるため、レジスト剥離工程で生じる局部電池腐食の原因となる異種材料間電子移動がなく、界面および側面の腐食が抑制され、常温で管理の行ない易い剥離液を使用することができ、かつ、信号線電極の断線をなくすることができ、薄膜トランジスタに不良が生じず歩留まりを高くできる。

【図面の簡単な説明】

【図1】



【図2】



【図1】本発明の液晶表示素子の一実施例のアレイ基板を示す断面図である。

【図2】同上アレイ基板の一製造工程を示す断面図である。

【図3】同上アレイ基板の図2の次の製造工程を示す断面図である。

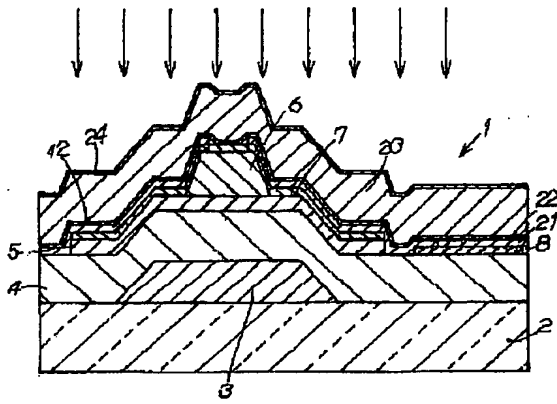
【図4】同上アレイ基板の図3の次の製造工程を示す断面図である。

【図5】同上アレイ基板を等価回路的に示す平面図である。

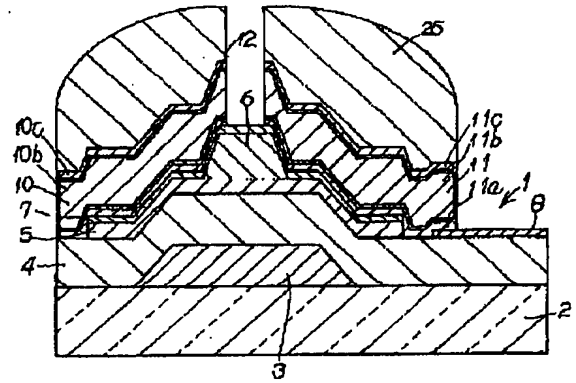
【符号の説明】

- | | |
|--------------------|----------------|
| 1 | アレイ基板 |
| 2 | ガラス基板 |
| 3 | ゲート電極 |
| 4 | ゲート絶縁膜 |
| 5 | 活性層としての半導体層 |
| 7 | オーミックコンタクト層 |
| 8 | 透明画素電極 |
| 10 | ドレイン電極 |
| 10a, 11a, 10c, 11c | 高融点金属としてのモリブデン |
| 10b, 11b | アルミニウム |
| 11 | ソース電極 |
| 12, 13 | 酸化膜 |
| 14 | 薄膜トランジスタ |
| 16 | 信号電極線 |
| 17 | 走査電極線 |

【図3】



【図4】



【図5】

